



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11)Publication number: 07183227

(43)Date of publication of application:
21.07.1995

(51)Int.Cl.

H01L 21/205

C23C 16/50

C23C 16/52

H01L 21/31

(21)Application number: 05327198 (71)Applicant: NEC CORP

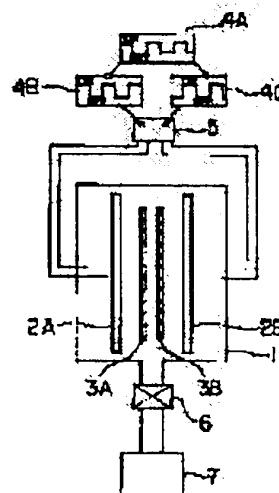
(22)Date of filing: 24.12.1993 (72)Inventor: NAKADA SHINICHI

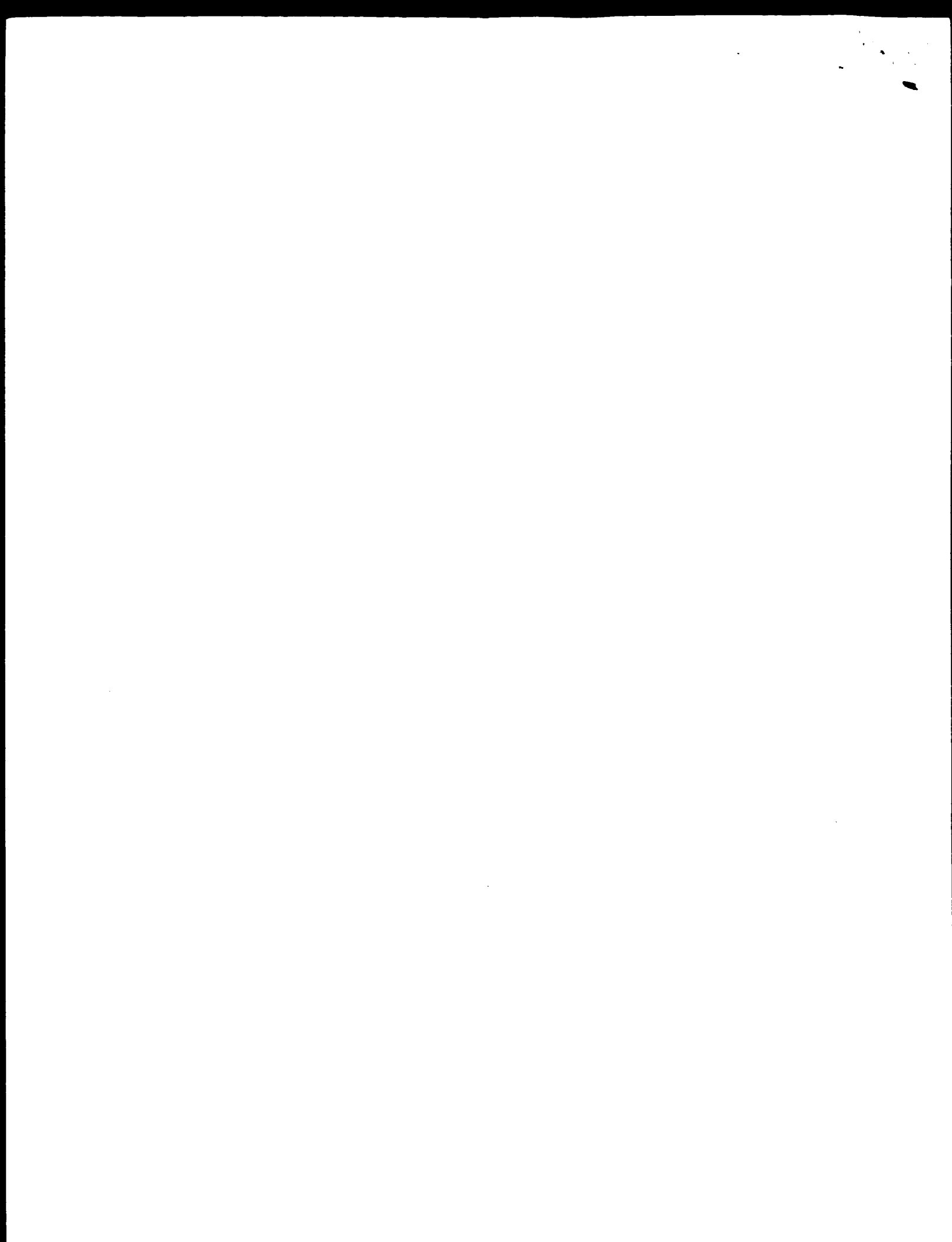
(54) METHOD AND DEVICE FOR PLASMA CVD

(57)Abstract:

PURPOSE: To provide a method and device for plasma CVD by which a thin film having a uniform thickness and uniform quality can be formed on a substrate by reducing fluctuation and reflected waves caused by plasma interference in a chamber.

CONSTITUTION: Pulse trains which are shifted from each other with respect to the ON periods so that the periods of application of a high-frequency voltage to electrode 2A and 2B do not overlap upon another are sent to the power source 5 from pulse generators 4A, 4B, and 4C. The power source 5 intermittently applies the high-frequency voltage to the electrode 2A and 2B. Therefore, plasma interference can be prevented, because the electrode 2B makes discharge while the electrode 2A stops discharging and, on the contrary, the electrode 2A makes discharge while the electrode 2B stops discharging.





(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-183227

(43) 公開日 平成7年(1995)7月21日

(51) Int. Cl.⁴

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/205

C 2 3 C 16/50

16/52

H 0 1 L 21/31

H 0 1 L 21/ 31

C

審査請求 有 請求項の数 2 O L (全 5 頁)

(21) 出願番号 特願平5-327198

(22) 出願日 平成5年(1993)12月24日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 中田 慎一

東京都港区芝五丁目7番1号日本電気株式
会社内

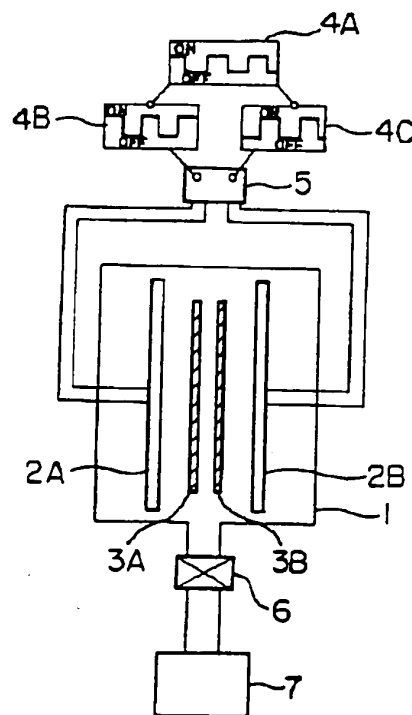
(74) 代理人 弁理士 稲垣 清

(54) 【発明の名称】 プラズマCVD法及びプラズマCVD装置

(57) 【要約】

【目的】 チャンバー内のプラズマ干渉によるゆらぎ及び反射波を低減させ、基板上に均一な膜厚・膜質の薄膜を形成できるプラズマCVD法及びプラズマCVD装置を提供する。

【構成】 パルスジェネレーター4A、4B及び4Cによって、電極2A、2Bごとに高周波電圧の印加期間が重ならないようにON期間のタイミングをずらしたパルス列が高周波電源5に送られる。高周波電源5では、パルス列に基づいて、各電極2A、2Bごとに高周波電圧を間欠的に印加する。これにより、電極2Aで放電が停止している間、電極2Bで放電が行われ、逆に電極2Bで放電が停止している間、電極2Aで放電が行われ、プラズマ同志の干渉が防止される。



【特許請求の範囲】

【請求項1】 同一チャンバー内に複数枚の電極を配置するとともに、接地した基板を前記電極ごとに対面させて設け、前記電極と前記基板との間に、間欠的に高周波電流を放電させて基板の表面に薄膜を形成するプラズマCVD法において、前記電極と該電極に対応する基板との間で放電するタイミングを前記電極ごとに異なるように制御することを特徴とするプラズマCVD法。

【請求項2】 同一チャンバー内に複数枚の電極を有し、前記電極に対面させて配置された複数枚の基板の上に薄膜を形成するプラズマCVD装置において、パルス列の信号に基づいて前記電極と該電極に対応する基板との間に高周波電圧を間欠的に印加する高周波電源と、前記電極ごとに高周波電圧の印加期間が重ならないように前記パルス列のON期間のタイミングをずらすように制御する制御手段とを備えたことを特徴とするプラズマCVD装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、チャンバー内に複数の電極を設けたプラズマCVD法及びプラズマCVD装置に係り、特にプラズマの相互干渉を抑制できるようにしたプラズマCVD法及びプラズマCVD装置に関する。

【0002】

【従来の技術】 プラズマCVD法は、低温で絶縁膜を形成できるため、近年、多層配線における層間膜やバッシベーション膜の形成に重要な技術となっている。以下、従来のプラズマCVD装置について説明する。ここで、図5は従来の平行平板型プラズマCVD装置の構成を示し、図7は従来の縦型インラインプラズマCVD装置の構成を示す図である。また、図6及び図8はそれぞれの装置の電極に印加される高周波電圧のタイミングチャートを示し、図9は2枚の電極で間欠放電等をした場合の反射波を示す波形図である。

【0003】 従来のプラズマCVD装置としては、図5に示した平行平板型プラズマCVD装置（公開特許公報平1-252782号）、図7に示した縦型インラインプラズマCVD装置に夫々間欠放電法を用いた公知技術が知られている。

【0004】 上記平行平板型プラズマCVD装置には、チャンバー21と、このチャンバー21内に配置される電極23と、この電極23に対面させて設ける基板22と、チャンバー21内のガスを真空排気する真空ポンプ27と、チャンバー21内に反応ガスを導入する反応用ガスポンプ24と、チャンバー21内の電極23と基板22との間に高周波電流を放電させる高周波電源25と、電極23が間欠放電するようにパルス列を高周波電源25に送出するパルスジェネレータ26とが設けられている。なお、真空ポンプ27及び反応用ガスポンプ24はそれぞれメインバルブ28を介してチャンバー2

1に接続されている。

【0005】 プラズマCVD装置で使用する間欠放電法では、チャンバー21内に断続的にプラズマを発生させることにより、チャンバー21内で原料シランガスを励起させ、励起種化された SiH_x ($x=0, 1, 2, 3$) 中、寿命の長い SiH_3 のみをオフ放電時に残存させて、基板22の表面に薄膜を堆積させている。

【0006】 なお、プラズマCVD法によって基板22上に形成する薄膜の性質は、パルスデューティ比の設定や、チャンバー21内の圧力、ガス流量比等を制御することによって調整される。例えば、高周波電流を放電している際にチャンバー21内のガス濃度を一定にすることにより、基板22に積層するシラン(SiH_3)等の膜厚のバラツキを減少させている。

【0007】 図7のプラズマCVD装置では、同一チャンバー21内に2枚の電極23A、23Bが設けられ、図8のタイミングチャートに示すように各電極23A、23Bに同一周期のパルス列が出力される。従って、各電極23A、23Bから同一のタイミングで高周波電流が放電されるように制御される。

【0008】 図7のプラズマCVD装置では、2つの電極23A、23Bから同一のタイミングでプラズマを間欠放電しているため、1000Wの放電出力の投入に対して、電極23A、23Bに接続したプローブにおいて80Wから90Wの反射波が観測される。なお、図9に2枚の電極で間欠放電した場合（符号(a)）又は1枚の電極で間欠放電した場合（符号(b)）に各電極で観測される反射波の波形図を示す。図9の波形図から理解できるように、23A及び23Bの電極から同一のタイミングでプラズマを間欠放電した場合に各電極のプローブによって観測される反射波（符号(a)）は、23Aの電極だけからプラズマを間欠放電した場合に観測される反射波（符号(b)）と比較して増大する。

【0009】

【発明が解決しようとする課題】 ところで、プラズマCVD装置によって半導体装置を量産する場合には、スループットの向上という観点から高速成膜を実現する必要があり、高出力放電が要求される。しかしながら、2枚以上の電極を有する従来の縦型インラインプラズマCVD装置では、同一タイミングで各電極から高出力放電がなされるので、プラズマの通り抜けやプラズマの干渉が起きるとともに、プラズマのゆらぎ、及び反射波が増大する現象が発生する。その結果、プラズマが不安定となるので、基板上に形成される薄膜の膜厚、膜質が不均一になるという問題がある。

【0010】 本発明は、これらの問題を解決するためになされたもので、チャンバー内のプラズマ干渉によるゆらぎ及び反射波を低減させ、基板上に均一な膜厚・膜質の薄膜を形成できるプラズマCVD法及びプラズマCVD装置を提供することを目的とする。

【0011】

【課題を解決するための手段】上記目的を達成するため、本発明のプラズマCVD法は、同一チャンパー内に複数枚の電極を配置するとともに、接地した基板を前記電極ごとに対面させて設け、前記電極と前記基板との間に、間欠的に高周波電流を放電させて基板の表面に薄膜を形成するプラズマCVD法において、前記電極と該電極に対応する基板との間で放電するタイミングを前記電極ごとに異なるように制御することを特徴とする。

【0012】また、本発明のプラズマCVD装置は、同一チャンパー内に複数枚の電極を有し、前記電極に対面させて配置された複数枚の基板の上に薄膜を形成するプラズマCVD装置において、パルス列の信号に基づいて前記電極と該電極に対応する基板との間に高周波電圧を間欠的に印加する高周波電源と、前記電極ごとに高周波電圧の印加期間が重ならないように前記パルス列のON期間のタイミングをずらすように制御する制御手段とを備えたことを特徴とする。

【0013】

【作用】本発明のプラズマCVD法及びプラズマCVD装置では、複数枚の電極ごとに異なったタイミングで高周波電流を放電させるので、高出力放電（例えば、1000w程度）の場合でも、プラズマの通り抜けが生じず、プラズマの干渉を防止できる。また、チャンパー内において生じるプラズマの反射波が低減するので、プラズマが安定化され、基板上に形成される薄膜の膜厚、膜質の均一性を向上できる。

【0014】

【実施例】以下、図面に基づいて本発明の実施例を説明する。図1は本発明の第1実施例の両面縦型プラズマCVD装置の構成を示し、図2は同プラズマCVD装置の電極に入力されるパルス列のタイミングチャートである。

【0015】図1において、本発明の第1実施例のプラズマCVD装置は、2枚の電極2A、2Bが平行に内部に配置されたチャンパー1と、チャンパー1内のガスを真空排気する真空ポンプ7と、チャンパー1内にプラズマを発生させる高周波電源5と、電極2A、2Bがそれぞれ所定のタイミングで間欠放電するようにパルス列を高周波電源5に送出するパルスジェネレータ4A、4B及び4Cとが設けられている。なお、パルスジェネレータ4A、4B及び4Cは、電極2A、2Bごとに高周波電圧の印加期間が重ならないようにパルス列のON期間のタイミングをずらすように制御する制御手段を構成する。

【0016】表面に薄膜を形成する基板3A及び3Bは、図を省略したが接地され、その片方の面を電極2A又は2Bに対面させてチャンパー1内にセットされる。チャンパー1内のガスは、メインバルブ6を介して接続された真空ポンプ7によって真空排気され、図を省略し

た反応ガス導入系からチャンパー1内に反応ガスが導入される。

【0017】パルスジェネレータ4Aは、基準パルス列を生成し、これを分岐された各パルスジェネレータ4B、4Cに送出する。分岐された一方のパルスジェネレータ4Bでは、送信された基準パルス列のON/OFFに基づいて電極2Aの印加電圧のパルス列を作成して高周波電源5に送る。例えば、基準パルスのパルス立ち上がりと同じタイミングでONとなるパルス列であって、ON時間150 μ sec～1000 μ sec、デューティ比10%～15%程度の範囲となるパルス列を送出する。

【0018】分岐された他方のパルスジェネレータ4Cでは、送信された基準パルスのON/OFFに基づいて電極2Bの印加電圧のパルス列を作成して高周波電源5に送る。この場合、基準パルスのパルス立ち上がりと同じタイミングで、且つ、パルス立ち下がりが生起するパルス列であって、ON時間150 μ sec～1000 μ sec、デューティ比が10～50%程度の範囲となるパルス列を送出する。

【0019】なお、分岐されたパルスジェネレータ4B及び4CのON/OFFタイミングチャートは、図2に示すように、4BのパルスジェネレータのOFF時間内で、4CのパルスジェネレータのON時間が完了するように組まれる。

【0020】分岐されたパルスジェネレータ4B、4Cからパルス列が送られた高周波電源5は、電極2Aと2Bに放電パワー100w～1200wの範囲で高周波電圧を印加する。この時、高周波電源5に送信されたパルス列のON/OFFによって、一方の電極2A及び基板3A間の放電タイミングと、他方の電極2B及び基板3B間の放電タイミングがずれるようになっている。即ち、図2に示すように、2Aの電極で放電がOFFの場合は2Bの電極で放電がONになり、2Bの電極で放電がOFFの場合は2Aの電極で放電がONになる。このため、電極2A、2B同士のプラズマによる相互干渉が抑制され、反射波が低減することになる。

【0021】次に、図面を参照して本発明の第2実施例のプラズマCVD装置について説明する。図3は本実施例の両面縦型プラズマCVD装置の構成を示し、図4は同プラズマCVD装置の電極に入力されるパルス列のタイミングチャートである。なお、第1実施例のプラズマCVD装置とはほぼ同様に機能する構成要素については、便宜上、図面の符号を同一にする。

【0022】本実施例のプラズマCVD装置は、パルス列の出力端子を2つ以上有するパルスジェネレータ8を用いた点において、第1実施例のプラズマCVD装置と異なる。パルスジェネレータ8では、図4のタイミングチャートに示すように、ON/OFFタイミングを反転させ、2種のパルス列を高周波電源5に送出する。高周

波電源5では、送信されたパルス列に基づいて電極2A、2Bごとに放電タイミングの異なったプラズマを発生させる。本実施例のプラズマCVD装置を採用すれば、第1実施例の装置で3基設けられていたパルスジェネレータを1基にすることができ、装置全体を小型化できる。

【0023】上記第1及び第2実施例のプラズマCVD装置では、電極ごとに放電タイミングが異なるので、複数枚の電極において同一のタイミングで放電する従来装置と比較して、反射波が低減する。即ち、1000wの放電出力の投入に対して、80w〜90wであった反射波が、20w〜30wの反射波に改善される。従って、従来、基板上に形成した薄膜の膜厚のバラツキが最大10%程度であったのが、最大3%〜5%程度のバラツキに向上させることができる。

【0024】なお、第1及び第2実施例のプラズマCVD装置では、チャンバー内で放電を行う電極を2枚にしたが、これに限定するものではない。例えば、チャンバー内に3枚以上の電極を配置しても、各電極の放電タイミングを異なるように制御すれば、本発明を適用することができる。また、高周波電源が各電極に印加する高周波電圧の印加期間の制御は、パルス列のON期間に対応させて行ったが、これに限定するものではない。例えば、クロック信号によって高周波電源の出力系をスイッチングさせ、高周波電源が各電極に印加する高周波電圧の印加期間を制御しても良い。

【0025】

【発明の効果】以上、説明したように本発明のプラズマCVD法及び本発明のプラズマCVD装置によれば、チャンバー内での放電タイミングが電極毎に異なるので、高出力電圧で放電を行っても、反射波が少なく、チャン

バー内に生成するプラズマを安定にできる。この結果、基板上に均一な膜厚・膜質の薄膜が形成できるという効果を奏する。

【図面の簡単な説明】

【図1】本発明の第1実施例の両面縦型プラズマCVD装置の構成を示す図である。

【図2】図1の装置の電極に入力されるパルス列のタイミングチャートである。

【図3】本発明の第2実施例の両面縦型プラズマCVD装置の構成を示す図である。

【図4】図3の装置の電極に入力されるパルス列のタイミングチャートである。

【図5】従来の平行平板型プラズマCVD装置の構成を示す図である。

【図6】図5の装置の電極に印加されるパルス列のタイミングチャートである。

【図7】従来の縦型インラインプラズマCVD装置の構成を示す図である。

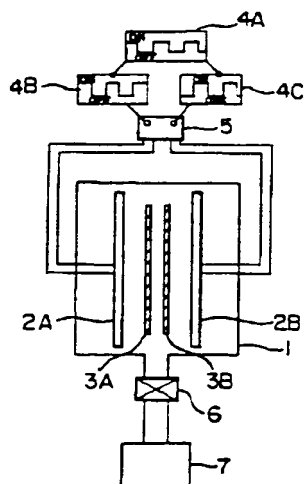
【図8】図7の装置の電極に印加されるパルス列のタイミングチャートである。

【図9】2枚の電極で間欠放電をした場合と2枚のうち1枚の電極だけで間欠放電した場合の反射波を示す波形図である。

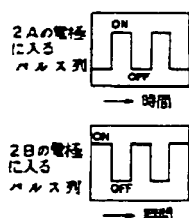
【符号の説明】

- 1 チャンバー
- 2A、2B 電極
- 3A、3B 基板
- 4A、4B、4C、8 パルスジェネレータ
- 5 高周波電源
- 6 メインバルブ
- 7 真空ポンプ

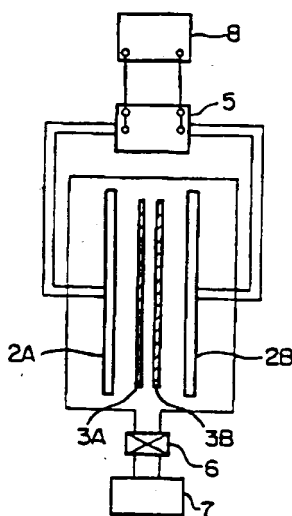
【図1】



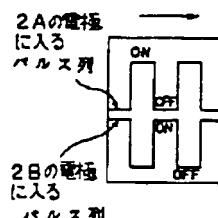
【図2】



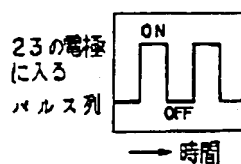
【図3】



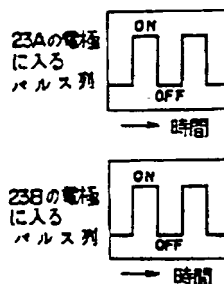
【図4】



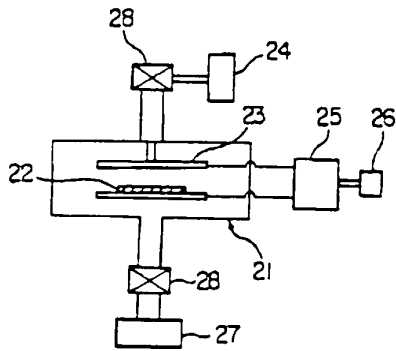
【図6】



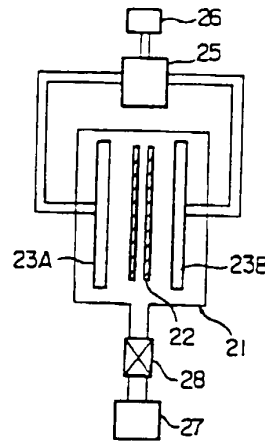
【図8】



【図5】



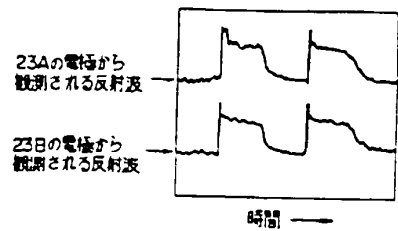
【図7】



【図9】

(a)

2枚の電極で間欠放電した場合



(b)

1枚の電極だけで間欠放電した場合

